

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-016337

(43)Date of publication of application : 18.01.2002

(51)Int.Cl.

H05K 3/00  
G06F 17/50

(21)Application number : 2000-196793

(71)Applicant : SONY CORP

(22)Date of filing : 29.06.2000

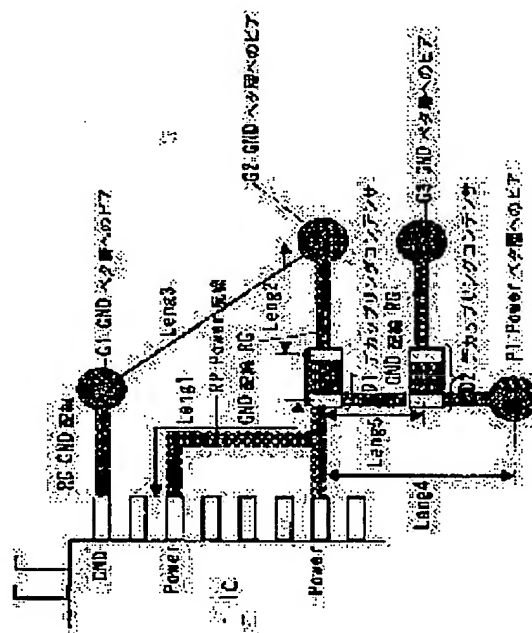
(72)Inventor : ARAKI KENJI  
YOKOYAMA AYAO

## (54) WIRING STRUCTURE CHECK SYSTEM FOR PRINTED BOARD

(57)Abstract:

**PROBLEM TO BE SOLVED:** To verify optimal capacitance and arrangement of decoupling capacitors corresponding to power pins or ground pins on a printed board.

**SOLUTION:** For a decoupling capacitor D1 connected with a high speed IC1, the number of power supply pins of the same potential as the high speed IC1 connected with the capacitor and presence of vias between the power supply pins of the same potential and the power supply pins of the capacitor are checked and optimal arrangement and capacity of the decoupling capacitors D1, D2 are calculated using a simple calculation expression. If temporarily designed current arrangement and capacity are different significantly from the calculation results, a message is delivered to designate optimization of the arrangement and capacity of a relevant decoupling capacitor.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**Family list**

5 family members for:

**JP2001282882**

Derived from 4 applications.

- 1 DESIGN SUPPORT DEVICE TO SUPPORT DESIGN OF PRINTED  
CIRCUIT BOARD SUITED TO NOISE REDUCTION**  
Publication info: **JP2001282882 A** - 2001-10-12
- 2 A computer aided design apparatus for aiding design of a printed  
wiring board to effectively reduce noise**  
Publication info: **TW530229 B** - 2003-05-01
- 3 Computer aided design apparatus for aiding design of a printed wiring  
board to effectively reduce noise**  
Publication info: **US6631509 B2** - 2003-10-07  
**US2001034875 A1** - 2001-10-25
- 4 Computer aided design apparatus for aiding design of a printed wiring  
board to effectively reduce noise**  
Publication info: **US2004015804 A1** - 2004-01-22

---

Data supplied from the **esp@cenet** database - Worldwide

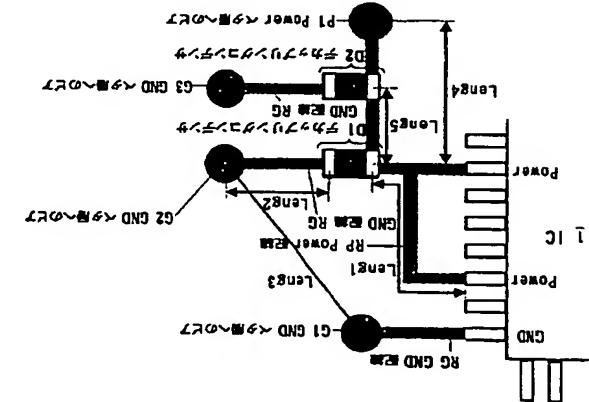
(19) 日本国特許庁 (J P) (12) 公開特許公報 (A) (11) 特許出願公開番号  
特開2002-16337  
(P2002-16337A)  
(43) 公開日 平成14年1月18日 (2002.1.18)

(51) Int. Cl.	識別記号	P I	チーフ・アド (参考)
H05K 3/00	686	H05K 3/00	D 5B048
G06F 17/50		G06F 17/50	666V

(21) 出願番号	特開2000-196783 (P2000-196783)	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成12年6月29日 (2000.6.29)	(72) 発明者	荒木 健次 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	柳山 礼夫 長野県南安部郡豊科町大字豊科542番地 ソニーデジタルプロダクツ株式会社内
		Fターム (参考)	5B046 A008 B405 JA03 JA10

(54) 発明の名称 プリント基板の配線構造チェックシステム

(57) [要約]  
[発明] プリント基板上の電源ピンまたはグラウンドピンに対応するデカップリングコンデンサの容量値、及びその配線が最適であるかを検出する。  
[解決手段] 高速IC1に接続されたデカップリングコンデンサD1に対し、該コンデンサに接続された高速IC1の同電位の電源ピンとの間の配線位置、該同電位の電源ピンと、該同電位の電源ピンとの間のビアの有無をチェックすると共に、デカップリングコンデンサD1、D2の最適な配線位置、最適な容量値を、簡単な計算式を用いて算出し、図解されている現在の配線位置、及び、容量値が上記算出結果と大きく異なる場合には、当該デカップリングコンデンサの配線位置、及び、容量値が最適になるように指示するメッセージを出力する。



図へのビアまでの距離のいずれかが所定の第2の配線長を超える場合には、第6の対照指示を表示する第6の対照指示手段を備えたことを特徴とする請求項1記載のプリント基板の配線構造チェックシステム。  
【請求項4】 前記第1のデカップリングコンデンサの接地ピンに接続された接地ベタ層へのビアが前記高速IC1の接地ピンに至る配線長が所定の第3の配線長を超える場合には、第7の対照指示を表示する第7の対照指示手段を備えたことを特徴とする請求項1記載のプリント基板の配線構造チェックシステム。  
【請求項5】 前記第1のデカップリングコンデンサと電源ベタ層との間の配線長が所定の第4の配線長を超える場合には、第8の対照指示を表示する第8の対照指示手段を備えたことを特徴とする請求項1記載のプリント基板の配線構造チェックシステム。  
【請求項6】 前記第1のデカップリングコンデンサと前記第2のデカップリングコンデンサとの間の配線長が所定の第5の配線長を超える場合には、第9の対照指示を表示する第9の対照指示手段を備えたことを特徴とする請求項1記載のプリント基板の配線構造チェックシステム。  
【請求項7】 前記配線構造の型が、マイクロストリップライン、シングルストリップライン、ダブルストリップラインのいずれか一つであることを特徴とする請求項1記載のプリント基板の配線構造チェックシステム。  
【発明の詳細な説明】  
[0001]  
【発明の属する技術分野】 本発明は、プリント基板の配線構造チェックシステムに関し、特に、高速動作IC (集積回路) 周辺に配置するデカップリングコンデンサのレイアウト方法 (設計方法) を含むプリント基板の配線構造チェックシステムに関する。  
[0002]  
【従来の技術】 従来、近年の電子機器に使用されているプリント基板上の回路要素において、一般的に、デカップリングコンデンサは、高速動作IC (以下、「高速IC」と呼称する) がスイッチングする際に、電源プレーン上に発生するRF (高周波) エネルギーを除去する役割と、該高速ICへの局所的なDC (直流) 電源を供給する役割とを担うことが知られている。  
[0003] 即ち、デカップリングコンデンサを高速IC近傍に配置する構成をとることにより、該デカップリングコンデンサは、上記高速ICへの局所的な電荷の供給源として機能する。即ち、CMOS (高速IC) の最出力段の二つのゲートの状態変化の間、しばらくは、上記高速ICへの電荷は、DC電源供給回路を介してではなく、上記デカップリングコンデンサから供給され、また、上記状態変化が行われない間も、該デカップリングコンデンサから再充電されることが知られている。  
[0004] つまり、電源コネクタとIC電源ピンが作

の経路をデカップリングコンデンサと1C電源ピンとの経路に支えることが可能であることが周知となっている。また、一般的に、回路電流が流れる電流経路（ループ）のループ面積を小さくすれば、磁場の放射エミッションを低減し、入射電磁界の影響を低減できることが知られている。上記のデカップリングコンデンサを配置することで、上記のループ面積を小さく構成することが可能であることも知られている。

【0005】さらに、電源とデカップリングコンデンサとをGNDの経路を含むループが作る閉回路において、該閉回路に寄生するインダクタンスとデカップリングコンデンサとの自己共振周波数までは、特性インピーダンスは、周波数の上昇と共に減少し、自己共振周波数と一致する時、特性インピーダンスが無限（抵抗分のみ）となる。しかし、自己共振周波数以上では、逆にインピーダンスが際限りとなり、それに伴い、デカップリングコンデンサの効果を果たさなくなる（効果的インピーダンスを除去することのできなくなる）ことが知られている。

【0006】つまり、上記の理由により、高速ICが電源ブレーン上に発生するRFEネェギを効果的に除去するためには、デカップリングコンデンサの最適な容量値とレイアウトを決定する必要がある。

【0007】  
【発明が解決しようとする課題】ところで、近年のICの高速化と多ピン化に伴い、電源プレースまたはグラウンドプレーンに流れ込む貫通電流の電流値、及び、貫通電流の周波数が増加する傾向があると共に、電源ピンまたはグラウンドピンのピン数が増加する傾向があり、どのピンに対して、どのデカコプリングコンデンタを効いているのかを個別できかないといった問題点があった。

【0008】また、デカップリングコンデンサの働きが  
作が悪いので、電源ブレーンまたはグラウンドブレーンで  
発生するハウンスノイズ（電源ブレーンまたはグラウンド  
ブレーンの電位が局所的に変動するノイズ）が原因で発  
生する放射ノイズが増大するといった問題点が解決でき  
ていなかった。

【0009】さらに、電源プレーンに流れ込む上記電流  
電流の電圧降や、該電流の周波数の往復も、デジタル  
信号の高周化に伴い、特長的に変化してくることが予測  
されるので、必要となるデカップリングコンデンサの容  
積値や、個数や、配置すべき位置を現時点で定量的に決  
定することができないといった問題点があった。

【0010】本発明は、上記従来のプリント基板の配線設計上の問題点に鑑みずなされたものであり、チェック対象とするプリント基板上の電源ピンまたはグラウンドピンに対応するデカカップリングコンデンサの容量値、及びその配線が假設であるか否かを検証することができ、プリント基板の配線最適化チェックシステムを提供することにある。

 $[001]$ 

**【問題と解決するための手段】**上記問題を解決するために、本発明では、プリント基板上に形成された配線の配線箇所をチェックするためのプリント基板の配線構造データ処理システムであって、前記配電路上に存在する部品位置リストから全ての IC の部品番号を抽出すると共に、前記 IC 各々の特性仕様を抽出し、該特性仕様に含まれる前記 IC の周辺バス電流の「立ち上がり時間」から、チェック対象となる高周波 IC を選別する対象抽出手段と、前記抽出された高周波 IC について、該高周波 IC に接続されたコンデンサを全て抽出すると共に、該抽出されたコンデンサを容量値の小さい順に第 1 のデカップリングコンデンサと、第 2 のデカップリングコンデンサのグループに分類する分類手段と、前記高周波 IC の電源ピンと、前記第 1 のデカップリングコンデンサの電源ピンと、前記第 2 のデカップリングコンデンサの電源ピンの同電位の電源ピンの比較が所定の水準を越える場合に第 1 の対照指示を表示する第 1 の対策表示手段と、前記同電位の電源ピンと比較前記第 1 のデカップリングコンデンサに至る配線経路上にビアが存在する場合、前記第 2 の対策指示を表示する第 2 の対策指示手段と、前記第 1 と第 2 のデカップリングコンデンサの電源配置位置を異なる複数のチェック項目を反映した複数の方式により求める電源配置計算手段と、前記第 1 と第 2 のデカップリングコンデンサの設計として与えられた配線を、前記複数の方式により求めた電源配置図の各々々と照合してチェックすると共に、前記比較対象間に所定の境界を越える不一致が存在する場合、第 3 の対照指示を表示する第 3 の対策指示手段と、前記第 1 と第 2 のデカップリングコンデンサが隔るべき最遠容量値をそれぞれ計算する最遠容量値計算手段と、前記第 1 と第 2 のデカップリングコンデンサに近似値として与えられた容量値と前記最遠容量値とを比較する比較手段と、前記比較対象間に所定の境界を越える不一致が存在する場合、第 4 の対策指示手段と、前記対策指示を表示する第 4 の対策表示手段と、前記対策表示手段とを有することを特徴とするプリント基板の配線構造チェックシステム、が提供される。

【0012】即ち、本発明では、対象とするプリント部  
 位上の高速1Cに接続されたデータアップリミングコンデンサ  
 に対し、該コンデンサに接続された数値連1Cの同電位  
 の電源ピンと本機と、該同電位の電源ピンと該コンデン  
 サの電源ピンとの間のピアの負荷をチェックすると非  
 ず、上記対象とするプリント部位上に配置された上記配  
 カップリミングコンデンサを含み、前記のデータアップリミング  
 コンデンサの最適な配置位置、及び、最適な容量値を、簡  
 単な計算式を用いて算出し、仮配されている上記データ  
 アップリミングコンデンサの現在の配置位置、及び、容量値  
 が上記計算結果と大きく異なる場合には、当該データカッ  
 プリミングコンデンサの配置位置、及び、容量値が最適にな  
 るように指示するメッセージを出力することで、従来の  
 設計工程を要えることなく、さらに、設計コストを上げ  
 ることなく、電源またはランドネットが複数ネットも

あるような大規模回路において、デカップリングコンデンサの各々が受け持つ、かつ、上記電源ピン（またはグランドピン）の区別を明確にし、かつ、デカップリングコンデンサの配置を容易に、かつ、最適に配置位置を決定することを可能にしている。

【0013】また、上記電源・周辺で発生すると思われるバウンスノイズを大幅に抑えることを可能にしている。さらに、散バウンスノイズが原因で発生する放射ノイズも大幅に抑えることを可能にしている。

**[100]**

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。図1は、本発明の実施の形態に係るプリント基板の配線構造チェックシステムのチェック対象となる配線基板上の回路の配線を示す配線図であ

【0015】図1に示す配線図は、IC（集積回路）1と、該IC1への電荷供給源となるデカップリングコンデンサD1、D2と、GND（接地）パッドへのピッド1、G2、G3と、Power（電源）パッドへのピッド1と、GND配線RGと、Power配線RPを含む。

【0016】ここで、符号Length1は、IC1の上部の電源端子（ピン）からデカップリングコンデンサD1の電源ピンに至るまでのPower配線RPPの配線距離を示し、符号Length2は、デカップリングコンデンサD1のGNDピンからGNDパッド層へのビアG2に至るまでのGND配線RGGの配線距離を示し、符号Length3は、GNDピンからGNDパッド層へのビアG2に至るまでのGND配線RGを含む配線距離を示し、符号Length4は、IC1の下部の電源ピンとデカップリングコンデンサD1とを結ぶ線分とPowerパッド層へのビアP1の中心を通る水平方向線分との間の最短距離を示し、符号Length5は、デカップリングコンデンサD1とデカップリングコンデンサD2との配線距離を示す。

【0017】図2は、本発明の実施の形態に係るプリン  
ト基板の配線構造チェックスシステムのチェック対象とな  
る配線構造を示す配線構造図である。図3、4は、本発  
明に係るプリント基板の配線構造チェックスシステムの子  
エック対象となる配線構造を示す配線構造図である。

【0018】本実施の形態では、図1に示すマイクロス  
トリップラインと呼ばれる配線構造を基に説明している  
が、本発明に係る配線構造チェックシステムは、一般  
に、図2に示すシングルストリップラインと呼ばれる配  
線構造、及び、図3に示すダブルストリップラインと呼  
ばれる配線構造に対しても適用することが可能である。

【0019】図2に示す配線構造は、電源ベタ層21（グリーン層）と、電源ベタ層21上の配線22を備え、図3に示す配線構造は、電源ベタ層31と、電源ベタ層31上の配線32を備え、図4に示す配線構造は、

電源ベータ層 4 1 と、電源ベータ層 4 1 間の 2 系統の配線 4 2 を備える。

【0020】また、図2～4に示す配線構造において、符号 $\alpha$ で示す長さは、配線の配線幅（ $\mu\text{m}$ ）を示し、符号 $\beta$ で示す長さは、配線の配線厚を示し、符号 $\gamma$ で示す長さとは、マイクロストリップライン構造における配線とブレイク層間の距離（ $\mu\text{m}$ ）を示し、符号 $\delta$ で示す長さとは、シングルストリップライン構造におけるブレイク層間の距離（ $\mu\text{m}$ ）を示し、符号 $\epsilon$ で示す長さとは、ダブルストリップライン構造における配線間距離（ $\mu\text{m}$ ）を示し、符号 $a$ で示す長さは、ダブルストリップライン構造における配線と敷設層1直下配線層との間隔または近いブレイク層間の距離（ $\mu\text{m}$ ）を示し、符号 $b$ で示す長さとは、ダブルストリップライン構造における配線と近接する導体面との間隔（ $\mu\text{m}$ ）を示し、符号 $c$ で示す長さとは、ダブルストリップライン構造における配線間距離（ $\mu\text{m}$ ）を示し、符号 $d$ は、シングルストリップライン構造における電圧レベル31間及びダブルストリップライン構造における電圧レベル41間の比誘電率を示し、符号（ $\epsilon_{\text{eff}}$ ）は、マイクロストリップライン構造における電圧レベル21と配線22間の有効比誘電率を示す。

【0021】以下、本発明に係るプリント基板の配線構造の概略を説明する。但し、本発明に係るプリント基板の配線構造の構成については、通常のコンピュータシステムが適用可能であり、図示は省略する。

【0022】本発明に係るプリント基板の配線構造は、エ

に原設計されたデカップリングコンデンサを含む回路に  
対し、上記デカップリングコンデンサの最適な配位位置、  
及び、最適容量値を、後述する手順を次の表を用いて計算し、設計結果により、上記デカップリングコンデンサの配位位置、及び、最適容量値が上記最適配位位置、及び最適容量値に近いか否かを確認し、上記デカップリングコンデンサの配位位置、及び最適容量値が最適な場合とは、適切なエラーメッセージを表示することで、プリント基板上に仮設計された配位の配線構造チェックを実行している。

【0023】これにより、従来の設計工程を敷えることなく、設計コストを上げることなく、電源プレーン、または、グラッドプレーン部で発生するバウンスノイズ、または、バウンスノイズが原因で発生する放電ノイズを抑える。

【0024】図5～8は、本発明の実施の形態に係るプリント基板の配線設計支援方法の配線構造チェックシステムの動作を示すフローチャートである。以下、図1乃至図4を参照しつつ、図5～8に示すフローチャートを用いて、本実施の形態に係るシステムの動作を説明する。

【0025】以下、符号  $r$  を IC1 周辺で想定されるパルス電流の立ち上がり時間 (S) とし、符号  $r$  をデカップリングコンデンサ D1 の自己共振周

 $[001]$

波数 (Hz) とし、符号  $L_{min}$  をデカップリングコンデンサD2の自己共振波数 (Hz) とし、符号  $L_{max}$  を最も近い電源ピンと最近いGNDピンとデカップリングコンデンサD1とが構成するループでの寄生インダクタンス (H) とし、符号  $L_{min}$  を最も近い電源ピンと最近いGNDピンとデカップリングコンデンサD2とが構成するループでの寄生インダクタンス (H) とし、符号  $L_{max}$  をマイクロストリップ配線の単位長さ当たりの寄生インダクタンス (H) とし、符号  $L_{min}$  を電源プレーンの単位長さ当たりの寄生インダクタンス (H) とし、符号  $L_{max}$  をマイクロストリップレイアウトの寄生インダクタンス (H) とし、符号  $L_{min}$  を寄生インダクタンス (n) とし、符号  $C_{min}$  を特性キャパシタンス (F) とし、符号  $L_{eng}$  をマイクロストリップ配線の総配線長 (m) とし、符号  $L_{eng}$  を電源プレーンの総配線長 (m) とし、符号  $C_{min}$  をデカップリングコンデンサD1の容量値 (F) とし、符号  $C_{max}$  をデカップリングコンデンサD2の容量値 (F) とし、符号  $m$  をIC電源ピンに接続されるデカップリングコンデンサの個数 (個) とし、符号  $K1 \sim K11$  を所定の係数 (定数) とする。その他の符号の意味については、既述のとおりである。

【0026】但し、上記フローチャート及び下記の説明中で使用する式については、極めて後述する。まず、ステップS1では、チェックに必要な初期条件を設定する。

【0027】ステップS2では、基板情報を格納する基板データベース (図示は省略) から全てのICの部品番号を抽出する。ステップS3では、各ICの特性に関する仕様を抽出し、後述する(1)式で求めた立ち上がり時間を参照して高速ICだけを選別したリスト1を作成する。

【0028】ステップS4では、上記リスト1から1つの高速ICだけを取り出し、その電源ピンを全て抽出する。ステップS5では、上記抽出した1つの電源ピンに注目し、該電源ピンに接続されているコンデンサD1を全て抽出する。

【0029】ステップS6では、上記抽出したコンデンサを、容量値の小さい順にデカップリングコンデンサD1とデカップリングコンデンサD2のグループに分けず、ステップS7では、デカップリングコンデンサD1と接続されている同電位の電源ピンの番号と、その本数 (m) を関係する。

【0030】ステップS8では、後述する(7)式により、上記本数 (m) が定数K6を超えないかを判定し、超えない場合はステップS9に移り、超える場合は後述するステップS11に移る。

【0031】ステップS9では、同電位の電源ピンに注目し、デカップリングコンデンサD1までの配線長上にあるビアを関係する。ステップS10では、デカップ

リングコンデンサD1に関する上記配線長上に電源ピンと接続されたビアがあるかを検証し、該ビアが無ければ後述するステップS13に移り、該ビアがあればステップS12に移る。

【0032】ステップS11では、上記のチェック結果を対策指示 (7) に表示出力した後、上記のステップS10に移る。上記対策指示 (7) の内容には、例えば、「デカップリングコンデンサの電源ピンとの接続本数をK6本以下にしない」等のメッセージを含めることが可能である。

【0033】ステップS12では、上記のチェック結果を対策指示 (2) に表示出力した後、ステップS13に移る。上記対策指示 (2) の内容には、例えば、「電源ベタ層へのビアをここに配置してはいけません。最適な位置に移動させない」等のメッセージを含めることが可能である。

【0034】以下、図5に示すフローチャートの説明に移る。ステップS13では、同電位の電源ピンとデカップリングコンデンサD1、及び、デカップリングコンデンサD2との間の配線長と配線長 (図5に示す  $L_{eng}$  ) を決定する。

【0035】ステップS14では、後述する(2)式により、デカップリングコンデンサD1について、上記の  $L_{eng}$  が定数K1を超えていないかを判定し、超えていなければステップS15に移り、超えていなければ後述するステップS20に移る。

【0036】ステップS15では、デカップリングコンデンサD1、及び、デカップリングコンデンサD2とGNDベタ層へのビアまでの配線長と配線長 (図5に示す  $L_{eng}$  ) を決定する。

【0037】ステップS16では、後述する(3)式により、デカップリングコンデンサD1、及び、デカップリングコンデンサD2について、上記の  $L_{eng}$  が定数K2を超えていないかを判定し、超えていなければステップS17に移り、超えていなければ後述するステップS21に移る。

【0038】ステップS17では、デカップリングコンデンサD1、及び、デカップリングコンデンサD2のGNDベタ層へのビアと近傍のIC-GNDピンまでの配線長と配線長 (図5に示す  $L_{eng}$  ) を決定する。【0039】ステップS18では、後述する(4)式により、デカップリングコンデンサD1について、上記の  $L_{eng}$  が定数K3を超えていないかを判定し、超えていなければステップS19に移り、超えていなければ後述するステップS22に移る。

【0040】ステップS19では、デカップリングコンデンサD1と電源ベタ層へのビアまでの配線長 (図5に示す  $L_{eng}$  ) を決定した後、後述するステップS23に移る。

【0041】ステップS20では、上記のチェック結果

【0049】ステップS30では、上記のチェック結果を対策指示 (5) に表示出力した後、上記のステップS24に移る。上記対策指示 (5) の内容には、例えば、「デカップリングコンデンサと電源ベタ層へのビアまでの配線長をK4mm以下にしない」等のメッセージを含めることが可能である。

【0050】ステップS31では、上記のチェック結果を対策指示 (6) に表示出力した後、上記のステップS26に移る。上記対策指示 (6) の内容には、例えば、「デカップリングコンデンサ間の配線長をK5mm以下にしない」等のメッセージを含めることが可能である。

【0051】以下、図6に示すフローチャートの説明に移る。ステップS32では、デカップリングコンデンサD1、及び、デカップリングコンデンサD2について、原設計されている容量値と上記の最適容量値とを比較し、両者が近似値の関係にあるかを判定し、近似値の関係を満たせば、ステップS33に移り、近似値の関係が否定されれば、後述するステップS35に移る。

【0052】ステップS33では、上記ステップS5以下の一連のチェックを、次の電源ピンに対して適用する。ステップS34では、全ての電源ピンをチェックし終えたら、上記ステップS4以下の一連のチェックを次の高速ICに適用して後述するステップS36に移る。

【0053】ステップS35では、上記のチェック結果を対策指示 (8) に表示出力した後、上記のステップS33に移る。上記対策指示 (8) の内容には、例えば、「デカップリングコンデンサ間の容量値を最適値に変更しなさい」等のメッセージを含めることが可能である。

【0054】ステップS36では、全ての高速ICをチェックし終えたら、上記全ての対策指示を出力してチェックを終了する。図6は、本発明の実施形態に係るプリント基板の配線構造チェックシステムのチェック対象となる配線構造上の配線の1例を示す配線図である。

【0055】図6に示す配線構造上の配線 (基板配線) は、3、7番のVCCピンと9番のGNDピンを結ぶ高速IC100と、1000 (pF) のデカップリングコンデンサD91と、0.1 (μF) のデカップリングコンデンサD92と、GNDベタ層へのビアG91-G93と、Powerベタ層へのビアP91を含む。

【0056】ここで、上記基板配線の仕様は、下記のとおりとする。上記ICをIC100とし、動作周波数を50.0 (MHz) とし、パルス幅 (以下、符号  $\tau$  とする) を10.0 (ns) とし、立ち上がり時間 ( $t_r$ ) を1.0 (ns) とし、符号  $L_{eng}$  で示される長さを25.0 (mm) とし、符号  $L_{eng}$  で示される長さを5.0 (mm) とし、符号  $L_{eng}$  で示される長さを5.0 (mm) とし、符号  $L_{eng}$  で示される長さを30.0 (mm) とし、符号  $L_{eng}$  で示

される長さを35.0 (mm)とし、桁号Lengthで示される長さを5.0 (mm)とする。

【0057】図1では、本発明の実施の形態に係るブリ  
ント基板の配線構造をエレクトロニクスシステムのチェック対象と  
なる配線基板上の配線構造の1例を示す配線構造図であ  
る。図1に示す配線基板上の配線構造の仕様は、下記  
のとおりとする。

【0053】即ち、配線構造の型はマイクロストリップラインとし、配線幅 (W) を 0.40 (mm)、 $\rho_m = 400$  ( $\mu\text{m}$ ) とし、配線厚 (t) を 0.04 (mm)、 $\rho_m = 40$  ( $\mu\text{m}$ ) とし、配線高 (h) を 0.10 (mm)、 $\rho_m = 10$  ( $\mu\text{m}$ ) とし、比誘電率 ( $\epsilon_r$ ) を 4.3 とし、実効比誘電率 ( $\epsilon_{\text{eff}}$ ) を 3.6 とする。

【0059】図1-14は、本発明の実施の形態に於けるプリント基板の配線構造チェックシステムを、図1に示す基板配線図を備え、かつ図1に示す配線図を囲ったプリント基板を対象として実行した時の処理過程を示したフローチャートである。

【0060】図11～14に示すフローチャートにおいて、太い項線で示す経路は、上記実行時において実際に実行された処理の経路を示し、破線で示す経路は、上記実行時において実行されなかった処理の経路を示す。

【0061】ここでは、ステップS11～S10、S13、S14、S20、S15～S19、S23～S29、S32、S35、S33～S34、S36の経路で示す4回の処理が実行され、他の処理は実行されなかったことを示している。

10062)以下、上記整理番号を、実際に実行された処理をトレースして説明する。但し、ここでは、上記の定数K1を20とし、定数K2を10とし、定数K3を40とし、定数K4を40とし、定数K5を10とし、定数K6を3とし、定数K7を0.005とし、定数K8を3とし、定数K9を300とし、定数K10を30とする。

【0063】まず、ステップS1では、初期条件として、定数K1=2.0、定数K2=1.0、定数K3=4.0、定数K4=4.0、定数K5=1.0、定数K6=3.0、定数K7=0.005、定数K8=3、定数K9=300、定数K10=300を設定する。

【10064】ステップS2では、部品番号IC100を抽出する。ステップS3では、IC100が高速ICであることを確認する。ステップS4では、IC100の電源ピンの3番と7番とを抽出する。

【10065】ステップS5、S6では、電源ピン3番に注目し、そこに接続されているコンデンサを容量値からデカップリングコンデンサD91とデカップリングコンデンサD92に分類する。

【0066】ステップS7では、IC100に接続されている同電位の電源ピンは、3番以外に7番が存在し、 $m=2$ であることを確認する。ステップS8では、上記

同電位の電源ピン本数が(7)式に示す条件 ( $m \leq 3$ ) を満たしているため、対振指示(7)は表示出力しない。

【0067】ステップS9では、上記電源ピンとデカップリングコンデンサD91との間の配線経路上にピアが設けられていることを確認する。ステップS10では、上記電源ピンとデカップリングコンデンサD91との間の配線経路上にピアが設けられていないと判断したため、対応指示を出している。

【0068】 ステップS13では、電源ピン3番とデカカップリングコンデンサD91との間の配線構造はマイクロストリップであり、配線長は10.0 (mm) であることと、電源ピン7番とデカカップリングコンデンサD91との間の配線構造はマイクロストリップであり、配線長は25.0 (mm) であることと、電源ピン3番とデカカップリングコンデンサD92との間の配線構造はマイクロストリップであり、配線長は15.0 (mm) であることと、電源ピン7番とデカカップリングコンデンサD92との間の配線構造はマイクロストリップであり、配線長は30.0 (mm) であることとを記憶する。

(2) 式に示す条件 ( $Length \leq 20$ ) を満たさないため、ステップ S20 により、対応指示 (1) を表示出力する。

【0070】ステップS15では、デカップリングコンデンサD91と上記アG92の間の配線間道はマイクロストリップであり、配線長は5.0 (mm) であることと、デカップリングコンデンサD92と上記アG93の間の配線間道はマイクロストリップであり、配線長は5.0 (mm) であることを判定する。

【0071】 ステップS16では、デカップリングコンデンサD91とデカップリングコンデンサD92について、(3)式に示す条件 ( $L_{eq2} \leq 10$ ) を満たしているため、故障指示 (3) は表示出力しない。

【0072】 ステップS17では、GNDピン9番と上記ビアG91の間の配線溝道はマイクロストリップであり、配線長 ( $L_{G91}$ ) は5.0 (mm) であることと、ビアG91とビアG92の間の配線溝道はプレーンであり、配線長 ( $L_{G92}$ ) は30.0 (mm) であることと、上記ビアG91とビアG93の間の配線溝道はプレーンであり、配線長は35.0 (mm)

であること、デカップリングコンデンサD91について、上記ビアG92とGNDと9番の間の配線長  $(\text{Length} = \text{Leng3} + \text{Leng3}') = 135.0 \text{ (mm)}$  であること、デカップリングコンデンサD92について、上記ビアG93とGNDと10番の間の配線長は  $4.0 \text{ (mm)}$  であることを決定する。

3≤40)を満たしているため、対策指示(4)は表示出力しない。

[0074] ステップS19では、デカップリングコンデンサD91と上記ピアP11間の配線長 (Leng4) として35.0 (mm) を決定する。ステップS23では、デカップリングコンデンサD91について、(5) 式に示す条件 (Leng4 ≤ J0) を満たしている(5) ため、処理指示 (5) は表示出力しない。

【0075】ステップS24では、デカップリングコンデンサD91とデカップリングコンデンサD92の間の配線距離(Leng5)として5.0(mm)を決定する。ステップS25では、(6)式に示す条件(Leng5≤10)を満たしているため、対策指示(6)は表示出力しない。

[0076] ステップS25では、デカップリングコンデンサD91について、 $Length_{D91} = 3.5 \cdot 0 \text{ (m)}$ と、 $Z_{0D91} = 0 \text{ (}\Omega\text{)}$ と、 $L_{D91} = 131 \text{ (nH/m)}$ を算出し、さらに、デカップリングコンデンサD92について、 $Length_{D92} = 4.0 \cdot 0 \text{ (m)}$ と、 $Z_{0D92} = 21.0 \text{ (}\Omega\text{)}$ と、 $L_{D92} = 131 \text{ (nH/m)}$ を算出する。

【0077】ステップS27では、(11)式により、デカップリングコンデンサD91について、 $L_{eq} = 30.0 \text{ (mm)}$ と、 $L_{eq} = 0.005 \text{ (nH/mm)}$ を仮定し、さらに、デカップリングコンデンサD92について、 $L_{eq} = 40.0 \text{ (mm)}$ と、 $L_{eq} = 0.005 \text{ (nH/mm)}$ を仮定する。

【0078】ステップS28では、(12)、(13)式により、デカップリングコンデンサD91について、 $L_{eq11} = 7.75 \text{ (nH)}$ と、デカップリングコンデンサ  $r \leq 5 \text{ (ns)}$  .....  
次に、ステップS14に係る式として、下記の(2)式がある。

また、ステップS16に係る数式として、下記の(3)式がある。

また、ステップS18に係る数式として、下記の(4)式がある。

また、ステップS23に係る数式として、下記の(5)式がある。

また、ステップS25に係る数式として、下記(6)

式がある。

$Leng 5 \leq K 5 \quad (mm)$

次に、ステップS8に係る形式として、下記の(7)式

がある。

$m \leq K6$  .....

また、ステップS26に係る数式として、下記の

---

ンサD92について、 $L_{0.01}=8.45$  (nH) を除外する。

【0079】ステップS2.9では、デカップリングコ  
デンサD9.1について、 $C_{\text{decoupl}}=3.6$  (pF) と、  
デカップリングコンデンサD9.2について、 $C_{\text{decoupl}}$   
 $=0.85$  ( $\mu$ F) を算出する。

1.00 (pF) と、上記取組値 ( $C_{max}$ ) = 36 (pF) とを比較し、同様に、デカップリングコンデンサ容量について、仮設計画 (即ち、実容量) = 0.1 ( $\mu$ F) と、上記取組値 ( $C_{max}$ ) = 0.85 (pF) とを比較し、この場合いずれも設計値が取組値の条件を満たしていないため、ステップ S35 にて、対照指示 (8) を表示出力する。

[0081] ステップS33では、次の電源ピン7番は、上記チェック済の電源ピン3番と同電位であり、これ以外に他の電源ピンは、ステップS34に進む。このようにして、全ての電源ピンにチェック済としてよく、これを確認する。

【0082】ステップS34では、IC100以外のICが存在しないことを確認する。ステップS36では、上記表示出力された封鎖指示(1)。(8)を裏面または印字用紙(いずれも図示は省略)に表示し、チェックを終了する。

【0083】(数式に係る説明)以下、上記フローチャート中の処理の説明で参照した数式を説明する。まず、ステップS3に係る数式として、下記の(1)式がある。

[0084]  
[41]..... (1)

[0085]  
[42]..... (2)

[0086]  
[43]..... (3)

[0087]  
[0088]..... (4)

[0088]  
[45] ..... (5)

(0089)  
[校6]..... (6)

[0090]  
[改7]

(8), (9), (10) 式がある。

[0091]

$$Z_w = 87 / \{ (\epsilon_{\text{eff}} + 1.41) \times \ln(5.98h / (0.8w + t)) \}^{1/2} \quad \text{[数8]}$$

[0092]

$$\epsilon_{\text{eff}} = (\epsilon_r + 1) / 2 + (\epsilon_r - 1) / (2(1 + 10h/w)^{1/4}) \quad \text{[数9]}$$

[0093]

$$L_{\text{eff}} = (\epsilon_{\text{eff}} \times Z_0 / C_0)^{1/2} \quad \text{[数10]}$$

また、ステップS27に係る条件式として、下記の(1)式がある。

$$L_{\text{eff}} = K7 \quad (nH/mm) \quad \text{[数11]}$$

さらに、ステップS28に係る条件式として、下記の(12)、(13)式がある。

$$L_{\text{eff}} = (L_{\text{eff}} \times L_{\text{eng}} + L_{\text{eng}} \times L_{\text{eng}}) \times K8 \quad (nH) \quad \text{[数12]}$$

[0096]

$$L_{\text{eff}} = (L_{\text{eff}} \times L_{\text{eng}} + L_{\text{eng}} \times L_{\text{eng}}) \times K8 \quad (nH) \quad \text{[数13]}$$

次に、ステップS29に係る条件式として、下記の(14)、(15)式、及び、(16)、(17)式がある。

$$f_{\text{max}} = K9 \quad (MHz) \quad \text{[数14]}$$

[0098]

$$f_{\text{max}} = K10 \quad (MHz) \quad \text{[数15]}$$

[0099]

$$C_{\text{max}} = 1 / (4\pi^2 \times f_{\text{max}}^2 L) \quad \text{[数16]}$$

[0100]

$$C_{\text{max}} = 1 / (4\pi^2 \times f_{\text{max}}^2 L) \quad \text{[数17]}$$

なお、上記の式は、下記の意味において使用される。  
[0101] (1)式により、デカップリングコンデンサを必要とするICを決定する。(2)式により、上記の電源ピンからデカップリングコンデンサD1までの距離(Le ng 1)が条件を満たしているかを否かを判定する。なお、数値に際しては、符号le ng 1で示す距離にわたる配線距離上、電源ベタ層へのビアが存在しないことも確認する。

[0102] (3)式により、デカップリングコンデンサD1からGNDベタ層へのビアG2までの距離(Le ng 2)が条件を満たしているかを否かを判定する。  
(4)式により、GNDベタ層へのビアG2からGNDピンまでの距離(Le ng 3)が条件を満たしているかを否かを判定する。但し、GNDピン層のビア(即ち、GNDビア層へのビアG1)とデカップリングコンデンサD1間のビア(即ち、GNDビア層へのビアG2)との間の距離は近距離により算出する。

[0103] (5)式により、デカップリングコンデンサD1の電源ピンとPowerベタ層へのビアP1との間の距離(Le ng 4)が条件を満たしているかを否かを判定する。

[0104] (6)式により、デカップリングコンデン

サD2に対して、上記と同様の寄生インダクタンスを算出する。

[0107] (13)式により、デカップリングコンデンサD2に対して、上記と同様の寄生インダクタンス

を計算する。(14)式により、デカップリングコンデンサD1の自己共振周波数を指定する。

[0108] (15)式により、デカップリングコンデンサD2の自己共振周波数を指定する。(16)式により、デカップリングコンデンサD1の容量値を決定する。

[0109] (17)式により、デカップリングコンデンサD2の容量値を決定する。なお、図5-7のフローチャートで示した処理を実行するプログラムなど、本発明の実施の形態に係るプリント基板の配線構造を構成するシステムに上記の処理を行わせるためのプログラムは、CD-ROMや磁気テープなどのコンピュータ読み取り可能な記録媒体に格納して配付してもよい。そして、少なくともマイクロコンピュータ、パーソナルコンピュータ、汎用コンピュータを総称するコンピュータが、上記の処理を実行するプログラムを読み出して、実行するものとしてもよい。

[0110]

【発明の効果】以上に説明したとおり、本発明では、対象とするプリント基板の上記ICに接続されたデカップリングコンデンサに対し、該コンデンサに接続された電源ピンICの同電位の電源ピンの本数、該同電位の電源ピンと該コンデンサの電源ピンとの間のビアの有無をチェックすると共に、上記対象とするプリント基板に配置された上記デカップリングコンデンサを含む複数のデカップリングコンデンサの最遠な配置位置、及び、最遠な容量値を、簡単な計算式を用いて算出し、仮設計されている上記デカップリングコンデンサの現在の配置位置、及び、容量値が上記計算式で算出される値と異なる場合には、当該デカップリングコンデンサの配置位置、及び、容量値が最遠になるように指示するメッセージを出力するようにしたので、従来の設計工程を要することなく、さらには、設計コストを上げることなく、電源またはグラウンドネットに数百ネットもあるような大規模回路において、デカップリングコンデンサの各々が受け持つ、電源ピン(またはグラウンドピン)の区別を明確にし、かつ、上記電源ピン(またはグラウンドピン)を含む回路において、デカップリングコンデンサの最遠な容量値、及び、最遠な配置位置を決定することができる。

[0111]

また、上記電源ピン周辺で発生すると思われるバウンスノイズを大幅に抑えることができる。さらに、該バウンスノイズが原因で発生する放射ノイズも大

幅に抑えることができる。

【面の簡単な説明】  
[図1] 本発明の実施の形態に係るプリント基板の配線構造を構成するシステムに上記の処理を行わせるためのプログラムは、CD-ROMや磁気テープなどのコンピュータ読み取り可能な記録媒体に格納して配付してもよい。そして、少なくともマイクロコンピュータ、汎用コンピュータを総称するコンピュータが、上記の処理を実行するプログラムを読み出して、実行するものとしてもよい。

[図2] 本発明の実施の形態に係るプリント基板の配線構造を構成するシステムに上記の処理を行わせるためのプログラムは、CD-ROMや磁気テープなどのコンピュータ読み取り可能な記録媒体に格納して配付してもよい。そして、少なくともマイクロコンピュータ、汎用コンピュータを総称するコンピュータが、上記の処理を実行するプログラムを読み出して、実行するものとしてもよい。

ある。

[図3] 本発明に係るプリント基板の配線構造を構成するシステムに上記の処理を行わせるためのプログラムは、CD-ROMや磁気テープなどのコンピュータ読み取り可能な記録媒体に格納して配付してもよい。そして、少なくともマイクロコンピュータ、汎用コンピュータを総称するコンピュータが、上記の処理を実行するプログラムを読み出して、実行するものとしてもよい。

[図4] 本発明に係るプリント基板の配線構造を構成するシステムに上記の処理を行わせるためのプログラムは、CD-ROMや磁気テープなどのコンピュータ読み取り可能な記録媒体に格納して配付してもよい。そして、少なくともマイクロコンピュータ、パーソナルコンピュータ、汎用コンピュータを総称するコンピュータが、上記の処理を実行するプログラムを読み出して、実行するものとしてもよい。

[図5] 本発明の実施の形態に係るプリント基板の配線構造を構成するシステムに上記の処理を行わせるためのプログラムは、CD-ROMや磁気テープなどのコンピュータ読み取り可能な記録媒体に格納して配付してもよい。そして、少なくともマイクロコンピュータ、パーソナルコンピュータ、汎用コンピュータを総称するコンピュータが、上記の処理を実行するプログラムを読み出して、実行するものとしてもよい。

[図6] 本発明の実施の形態に係るプリント基板の配線構造を構成するシステムに上記の処理を行わせるためのプログラムは、CD-ROMや磁気テープなどのコンピュータ読み取り可能な記録媒体に格納して配付してもよい。そして、少なくともマイクロコンピュータ、パーソナルコンピュータ、汎用コンピュータを総称するコンピュータが、上記の処理を実行するプログラムを読み出して、実行するものとしてもよい。

[図7] 本発明の実施の形態に係るプリント基板の配線構造を構成するシステムに上記の処理を行わせるためのプログラムは、CD-ROMや磁気テープなどのコンピュータ読み取り可能な記録媒体に格納して配付してもよい。そして、少なくともマイクロコンピュータ、パーソナルコンピュータ、汎用コンピュータを総称するコンピュータが、上記の処理を実行するプログラムを読み出して、実行するものとしてもよい。

[図8] 本発明の実施の形態に係るプリント基板の配線構造を構成するシステムに上記の処理を行わせるためのプログラムは、CD-ROMや磁気テープなどのコンピュータ読み取り可能な記録媒体に格納して配付してもよい。そして、少なくともマイクロコンピュータ、パーソナルコンピュータ、汎用コンピュータを総称するコンピュータが、上記の処理を実行するプログラムを読み出して、実行するものとしてもよい。

[図9] 本発明の実施の形態に係るプリント基板の配線構造を構成するシステムに上記の処理を行わせるためのプログラムは、CD-ROMや磁気テープなどのコンピュータ読み取り可能な記録媒体に格納して配付してもよい。そして、少なくともマイクロコンピュータ、パーソナルコンピュータ、汎用コンピュータを総称するコンピュータが、上記の処理を実行するプログラムを読み出して、実行するものとしてもよい。

[図10] 本発明の実施の形態に係るプリント基板の配線構造を構成するシステムに上記の処理を行わせるためのプログラムは、CD-ROMや磁気テープなどのコンピュータ読み取り可能な記録媒体に格納して配付してもよい。そして、少なくともマイクロコンピュータ、パーソナルコンピュータ、汎用コンピュータを総称するコンピュータが、上記の処理を実行するプログラムを読み出して、実行するものとしてもよい。

[図11] 本発明の実施の形態に係るプリント基板の配線構造を構成するシステムに上記の処理を行わせるためのプログラムは、CD-ROMや磁気テープなどのコンピュータ読み取り可能な記録媒体に格納して配付してもよい。そして、少なくともマイクロコンピュータ、パーソナルコンピュータ、汎用コンピュータを総称するコンピュータが、上記の処理を実行するプログラムを読み出して、実行するものとしてもよい。

[図12] 本発明の実施の形態に係るプリント基板の配線構造を構成するシステムに上記の処理を行わせるためのプログラムは、CD-ROMや磁気テープなどのコンピュータ読み取り可能な記録媒体に格納して配付してもよい。そして、少なくともマイクロコンピュータ、パーソナルコンピュータ、汎用コンピュータを総称するコンピュータが、上記の処理を実行するプログラムを読み出して、実行するものとしてもよい。

[図13] 本発明の実施の形態に係るプリント基板の配線構造を構成するシステムに上記の処理を行わせるためのプログラムは、CD-ROMや磁気テープなどのコンピュータ読み取り可能な記録媒体に格納して配付してもよい。そして、少なくともマイクロコンピュータ、パーソナルコンピュータ、汎用コンピュータを総称するコンピュータが、上記の処理を実行するプログラムを読み出して、実行するものとしてもよい。

[図14] 本発明の実施の形態に係るプリント基板の配線構造を構成するシステムに上記の処理を行わせるためのプログラムは、CD-ROMや磁気テープなどのコンピュータ読み取り可能な記録媒体に格納して配付してもよい。そして、少なくともマイクロコンピュータ、パーソナルコンピュータ、汎用コンピュータを総称するコンピュータが、上記の処理を実行するプログラムを読み出して、実行するものとしてもよい。

[図15] 本発明の実施の形態に係るプリント基板の配線構造を構成するシステムに上記の処理を行わせるためのプログラムは、CD-ROMや磁気テープなどのコンピュータ読み取り可能な記録媒体に格納して配付してもよい。そして、少なくともマイクロコンピュータ、パーソナルコンピュータ、汎用コンピュータを総称するコンピュータが、上記の処理を実行するプログラムを読み出して、実行するものとしてもよい。

[図16] 本発明の実施の形態に係るプリント基板の配線構造を構成するシステムに上記の処理を行わせるためのプログラムは、CD-ROMや磁気テープなどのコンピュータ読み取り可能な記録媒体に格納して配付してもよい。そして、少なくともマイクロコンピュータ、パーソナルコンピュータ、汎用コンピュータを総称するコンピュータが、上記の処理を実行するプログラムを読み出して、実行するものとしてもよい。

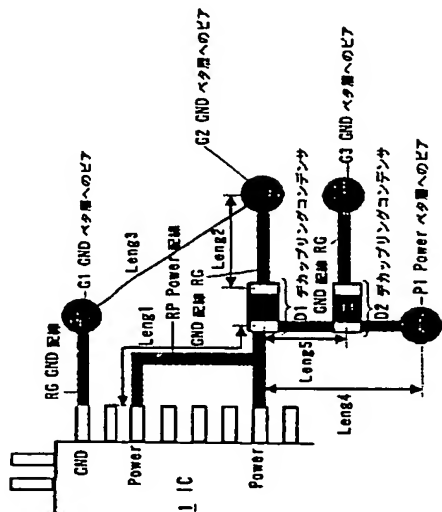
[図17] 本発明の実施の形態に係るプリント基板の配線構造を構成するシステムに上記の処理を行わせるためのプログラムは、CD-ROMや磁気テープなどのコンピュータ読み取り可能な記録媒体に格納して配付してもよい。そして、少なくともマイクロコンピュータ、パーソナルコンピュータ、汎用コンピュータを総称するコンピュータが、上記の処理を実行するプログラムを読み出して、実行するものとしてもよい。

[符号の説明]

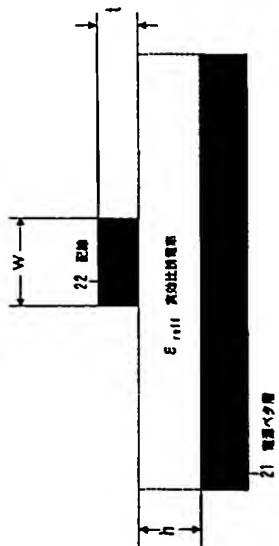
1.....IC (集積回路)、D1、D2.....デカップリングコンデンサ、G1、G2、G3.....GND (接地) ベタ層へのビア、P1.....Power (電源) ベタ層へのビア、RG.....GND配線、RP.....Power配線



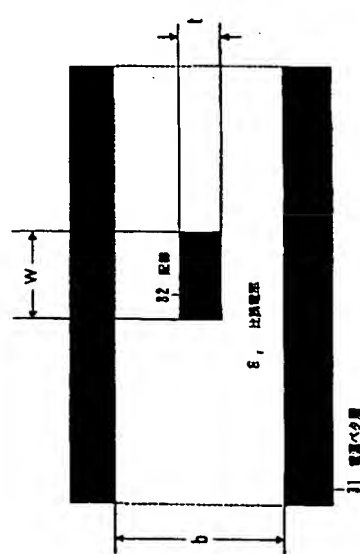
[図1]



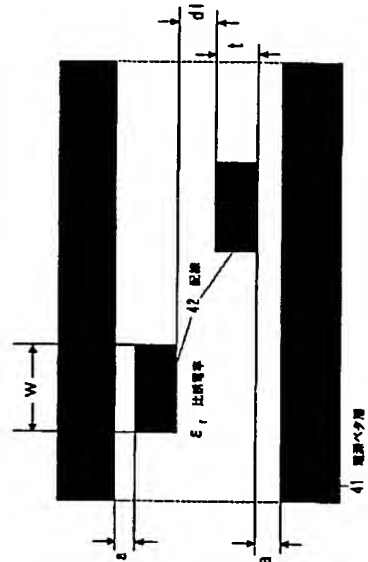
[図2]



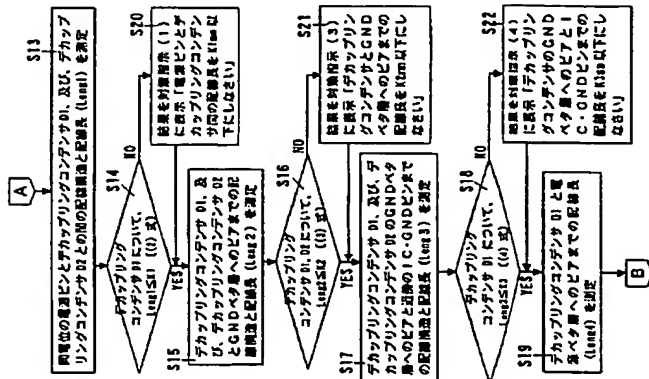
[図3]



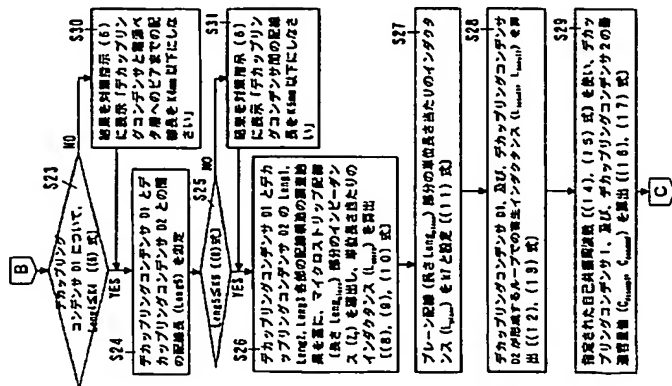
[図4]



[図5]

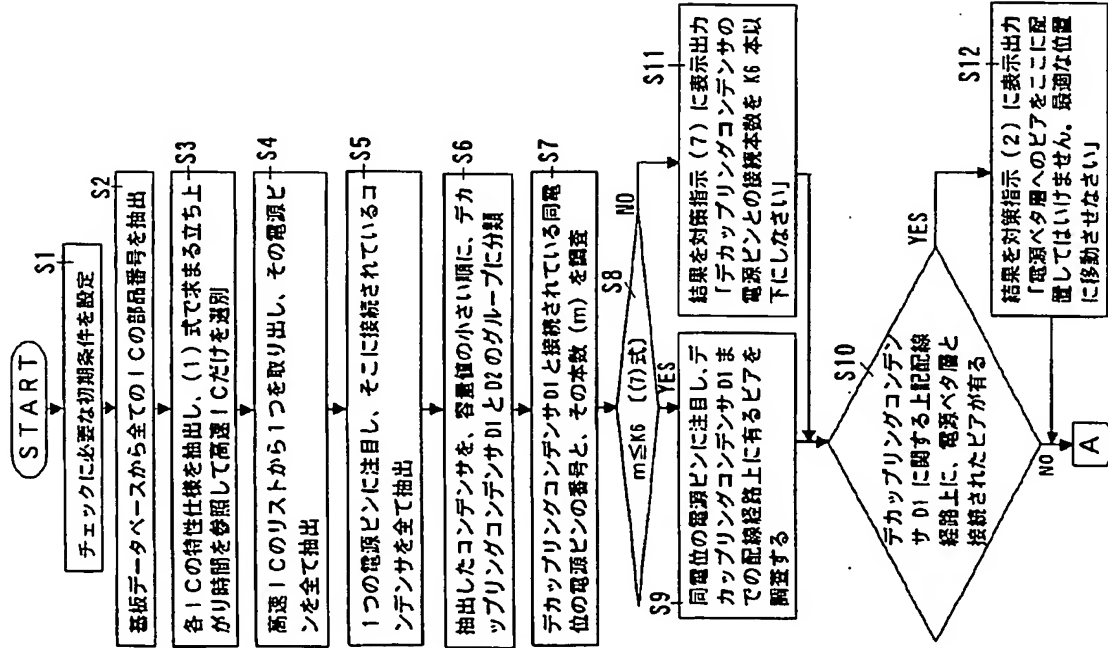


[図6]

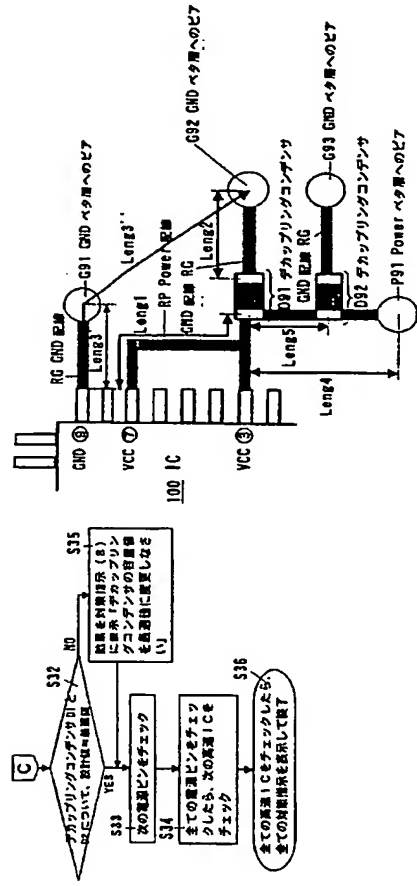




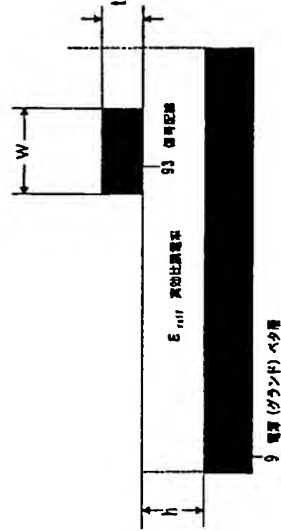
【図5】



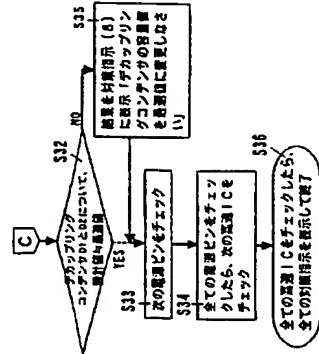
【図9】



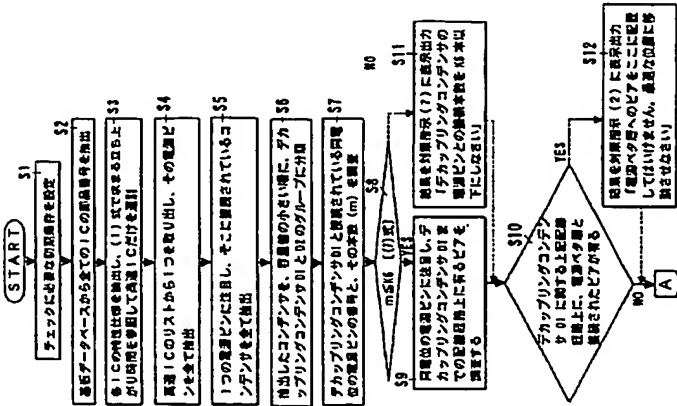
【図10】



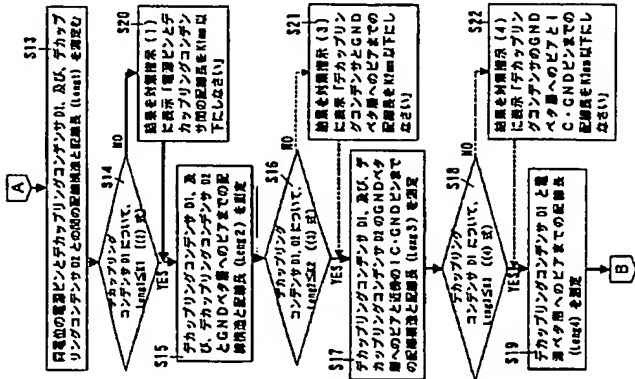
【図11】



【図11】



【図12】



【図13】

